

日本国特許庁  
JAPAN PATENT OFFICE

08.06.2004

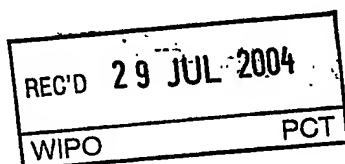
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 5月30日  
Date of Application:

出願番号 特願2003-155018  
Application Number:  
[ST. 10/C]: [JP 2003-155018]

出願人 東芝松下ディスプレイテクノロジー株式会社  
Applicant(s):

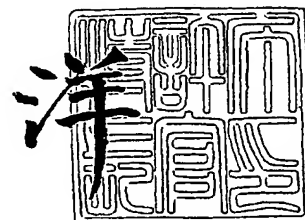


PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2004年 7月14日

特許庁長官  
Commissioner,  
Japan Patent Office

小川



【書類名】 特許願

【整理番号】 FKB029023

【提出日】 平成15年 5月30日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/13

【発明の名称】 液晶表示装置

【請求項の数】 3

【発明者】

    【住所又は居所】 東京都港区港南四丁目1番8号 東芝松下ディスプレイ  
                                テクノロジー株式会社内

    【氏名】 山本 光浩

【特許出願人】

    【識別番号】 302020207

    【氏名又は名称】 東芝松下ディスプレイテクノロジー株式会社

【代理人】

    【識別番号】 100083806

    【弁理士】

    【氏名又は名称】 三好 秀和

    【電話番号】 03-3504-3075

【選任した代理人】

    【識別番号】 100068342

    【弁理士】

    【氏名又は名称】 三好 保男

【選任した代理人】

    【識別番号】 100100712

    【弁理士】

    【氏名又は名称】 岩▲崎▼ 幸邦

## 【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

## 【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

## 【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

## 【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

## 【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

## 【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0207036

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置

【特許請求の範囲】

【請求項 1】 マトリクス状に配置された複数の信号線及び複数の走査線、このマトリクスの各格子毎に配置された複数の画素トランジスタ、前記各画素トランジスタに接続された複数の画素電極、前記画素電極と対向する共通電極、及び液晶層を有する液晶表示パネルと、前記各走査線に走査信号を供給する走査線駆動回路と、所定の出力ラインにデータ信号を出力する信号線駆動用 IC と、前記出力ラインに出力されたデータ信号を 1 水平走査期間内に  $n$  ( $n$ : 2 以上の整数) 回に分けて所定の信号線に切り替えて出力する信号線選択回路と、前記信号線選択回路で前記データ信号を所定の信号線へ切り替えて出力する際の出力順を定めたスイッチ制御信号を生成するスイッチ制御信号生成回路とを備えた液晶表示装置であって、

前記信号線選択回路は、前記信号線駆動用 IC の 1 出力ラインにつき  $n$  個配置され、各々において一方の主電極は前記 1 出力ラインに共通に、また他方の主電極は対応する前記信号線にそれぞれ接続されると共に、制御電極に供給されるスイッチ制御信号により前記出力ラインと前記信号線との間を導通させて、前記出力ラインのデータ信号を前記信号線に供給する複数のスイッチ手段と、前記複数のスイッチ手段のうちの対応する制御電極と共通に接続され、各々接続する前記スイッチ手段の制御電極にスイッチ制御信号を供給する  $n$  本のスイッチ制御信号線とを備え、

前記各スイッチ手段の制御電極と前記スイッチ制御信号線との間には、前記  $n$  本のスイッチ制御信号線のすべてと平面的に重畳する同一形状の電極パターンが配線され、且つ当該電極パターンは所定のスイッチ制御信号線とのみ電氣的に接続されることを特徴とする液晶表示装置。

【請求項 2】 前記電極パターンと前記スイッチ制御信号線は絶縁層を介して積層され、前記絶縁層に形成されたコンタクトホールにより電氣的に接続されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】 前記電極パターンと前記スイッチ制御信号線の電氣的な接続

は、前記コンタクトホールを形成する位置により設定されることを特徴とする請求項 1 又は 2 に記載の液晶表示装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、アクティブマトリクス型の液晶表示装置に関し、詳しくは、信号線駆動回路の電極構造に関する。

##### 【0002】

#### 【従来の技術】

ワープロ、パーソナルコンピュータ及び携帯テレビなどでは、薄型で軽量の表示装置が広く用いられている。とくに液晶表示装置は、薄型、軽量及び低消費電力化が容易なことから、盛んに開発が行われており、高解像度で大画面サイズの液晶表示装置が比較的低価格で手に入るようになってきている。

##### 【0003】

液晶表示装置の中でも、信号線と走査線の各交点付近に画素トランジスタ（**FT:Thin Film Transistor**）を配置したアクティブマトリクス型の液晶表示装置は、発色性に優れ、残像が少ないことから、今後の主流になると考えられている。

##### 【0004】

画素トランジスタとしてアモルファスシリコン TFT を用いた液晶表示装置では、画素の駆動回路として、信号線駆動用 IC 及び走査線駆動用 IC をフレキシブル配線基板上に実装して構成されたテープ・キャリア・パッケージ（以下、TCP）が用いられている。この TCP をアレイ基板の外部接続端子に電氣的に接続することによって、信号線駆動用 IC 及び走査線駆動用 IC がアレイ基板上的各画素電極にそれぞれ電氣的に接続され、画素トランジスタが駆動される。

##### 【0005】

このアモルファスシリコン TFT を用いた液晶表示装置では、アレイ基板上的信号線にそれぞれ TCP からの映像信号を供給するために多数の接続配線が必要となることから、画素の高精細化に伴い、これら接続配線間に十分なピッチを確

保することが困難となる。そこで、信号線駆動回路を、アレイ基板上に形成した選択回路と、TCP上に実装された信号線駆動用ICとで構成し、1水平走査期間内に選択回路の1対のアナログスイッチにより、隣接する2つの信号線と信号線駆動用ICからの1つの接続配線とを順次接続することにより、2つの信号線に時分割で映像信号を供給するようにした表示装置が提案されている（例えば、特許文献1参照）。

#### 【0006】

##### 【特許文献1】

特開2001-109435号公報

#### 【0007】

##### 【発明が解決しようとする課題】

上記選択回路において、1対のアナログスイッチのソース電極は共通に信号線駆動用ICからの接続配線に接続され、ドレイン電極はそれぞれ信号線に接続され、ゲート電極はそれぞれアナログスイッチ制御信号線が接続されており、各ゲート電極に供給されるアナログスイッチ制御信号によりデータ信号を供給する信号線の接続が切り替えられる。

#### 【0008】

アナログスイッチのゲート電極とアナログスイッチ制御信号線はメタルパターンにより接続されている。このメタルパターンは、アナログスイッチ制御信号線に接続するコンタクトホール位置に合わせてレイアウトされるため、1対のアナログスイッチについて見てみると、各アナログスイッチ制御信号線とゲート電極までの長さが左右のアナログスイッチで異なり、メタルパターンの面積にも差が生じることから、寄生容量が不均一なものとなっていた。これによると、隣接する画素間においてデータ信号の充電時間が異なり、場合によっては表示ムラの要因となることもある。

#### 【0009】

また、上記のようなレイアウトでは、長さの異なるメタルパターンが交互に連続しているため、長さの違いを見つけにくく、目視によりパターン異常を発見しにくいという課題があった。

## 【0010】

さらに、メタルパターンとアナログスイッチ制御信号線との接続を変える場合は、コンタクトホール形成レイヤの変更だけでなく、メタルのパターンも変更しなければならず、これに伴い複数のマスクを変更しなければならないため、設計変更により費用がかかり、接続形態の異なる他の駆動方式への変更に柔軟に対応することが難しいという課題があった。

## 【0011】

本発明の目的は、寄生容量の不均一による表示ムラを解消するとともに、パターン異常を発見しやすく、また他の駆動方式への変更に柔軟に対応することができる液晶表示装置を提供することにある。

## 【0012】

## 【課題を解決するための手段】

上記目的を達成するため、請求項1の発明は、マトリクス状に配置された複数の信号線及び複数の走査線、このマトリクスの各格子毎に配置された複数の画素トランジスタ、前記各画素トランジスタに接続された複数の画素電極、前記画素電極と対向する共通電極、及び液晶層を有する液晶表示パネルと、前記各走査線に走査信号を供給する走査線駆動回路と、所定の出力ラインにデータ信号を出力する信号線駆動用ICと、前記出力ラインに出力されたデータ信号を1水平走査期間内に $n$  ( $n$ : 2以上の整数) 回に分けて所定の信号線に切り替えて出力する信号線選択回路と、前記信号線選択回路で前記データ信号を所定の信号線へ切り替えて出力する際の出力順を定めたスイッチ制御信号を生成するスイッチ制御信号生成回路とを備えた液晶表示装置であって、前記信号線選択回路は、前記信号線駆動用ICの1出力ラインにつき $n$ 個配置され、各々において一方の主電極は前記1出力ラインに共通に、また他方の主電極は対応する前記信号線にそれぞれ接続されると共に、制御電極に供給されるスイッチ制御信号により前記出力ラインと前記信号線との間を導通させて、前記出力ラインのデータ信号を前記信号線に供給する複数のスイッチ手段と、前記複数のスイッチ手段のうちの対応する制御電極と共通に接続され、各々接続する前記スイッチ手段の制御電極にスイッチ制御信号を供給する $n$ 本のスイッチ制御信号線とを備え、前記各スイッチ手段の

制御電極と前記スイッチ制御信号線との間には、前記  $n$  本のスイッチ制御信号線のすべてと平面的に重畳する同一形状の電極パターンが配線され、且つ当該電極パターンは所定のスイッチ制御信号線とのみ電氣的に接続されることを特徴とする。請求項 2 の発明は、請求項 1 において、前記電極パターンと前記スイッチ制御信号線は絶縁層を介して積層され、前記絶縁層に形成されたコンタクトホールにより電氣的に接続されることを特徴とする。

#### 【0013】

請求項 3 の発明は、請求項 1 又は 2 において、前記電極パターンと前記スイッチ制御信号線の電氣的な接続は、前記コンタクトホールを形成する位置により設定されることを特徴とする。

#### 【0014】

##### 【発明の実施の形態】

以下、本発明に係わる液晶表示装置の実施の形態について図面を参照しながら説明する。

#### 【0015】

図 2 は、本実施の形態に係わる液晶表示装置の回路構成図である。アレイ基板 100 上の表示エリア 101 には、走査線  $G_1 \sim G_m$  (以下、適宜に走査線  $G$  という) と、信号線  $S_1 \sim S_n$  (以下、適宜に信号線  $S$  という) がマトリクス状に配置されており、そのマトリクスの各格子毎に画素トランジスタ 102 と画素電極 103 が配置されている。画素電極 103 と対向配置される共通電極 104 は、図示しない対向基板上に形成され、画素電極 103 と共通電極 104 との間には液晶層 105 が保持されている。また、画素電極 103 には補助容量 106 が並列に接続され、図示しない補助容量線を介して所定の補助容量電圧が与えられている。

#### 【0016】

表示エリア 101 の上端部には信号線駆動回路部 111 が配置され、また表示エリア 101 の左右端部には走査線駆動回路 115 が接続されている。表示エリア 101 は、4 つのブロックに分割されており、信号線  $S$  は各ブロック毎に所定数の信号線群に区分され、それぞれのブロック毎に配置された同一構成の信号線



駆動回路部 111 からデータ信号が供給される。

#### 【0017】

信号線駆動回路部 111 は、データ信号を図示しない出力ラインに出力し、且つ後述する各種信号を出力する信号線駆動用 IC 112 と、各信号線群へ供給されるデータ信号を 1 水平走査期間内で各信号線群における総ての信号線に切り替えて出力する信号線切替回路 113 とで構成されている。このうち、信号線駆動用 IC 112 は、TCP 120-1~120-4 に実装され、信号線切替回路 113 は、アレイ基板 100 上に形成されている。TCP 120-1~120-4 は、その一方の側辺がアレイ基板 100 の一辺に形成された外部接続端子に接続され、他方の側辺が外部駆動回路 200 に接続されている。

#### 【0018】

走査線駆動回路 115 は、画素トランジスタ 102 を導通させ、信号線 S から画素電極 103 へデータ信号を書き込むための走査信号を、走査線 G1~Gm に順次出力する。走査線駆動回路 115 は、アレイ基板 100 上に実装されている。

#### 【0019】

外部駆動回路 200 には、コントロール IC 201、及び図示しない電源回路やインターフェース回路などが実装されている。

#### 【0020】

コントロール IC 201 は、外部から入力されるデータ信号を各信号線への出力順に従って並び替えて出力するほか、これと同期して入力される基準クロック信号に基づいて各種タイミング信号、クロック信号、制御信号などを生成して出力する。すなわちコントロール IC 201 は、走査線駆動回路 115 にはスタート信号、クロック信号を供給し、信号線駆動用 IC 112 には並び替えたデータ信号、レジスタ制御信号、クロック信号、ロード信号などを供給する。

#### 【0021】

またコントロール IC は、本実施の形態におけるスイッチ制御信号制御回路の機能を含み、信号線切替回路 113 にアナログスイッチ制御信号を供給する。

#### 【0022】

上記のようなアレイ基板100を備えた液晶表示装置は、アレイ基板100と図示しない対向基板とを所定間隔をもって対向配置し、その周囲をシール材で貼り合わせ、基板間に液晶層105を封入することで完成する。

### 【0023】

図1は、信号線切替回路113の回路構成図である。信号線切替回路113には、アナログスイッチASW1, ASW2, ASW3, ASW4, …ASW $n-1$ , ASW $n$ （以下、適宜にASW又はアナログスイッチASWという）が配置され、各ASWのドレイン電極には信号線S1, S2, S3, S4, …S $n-1$ , S $n$ が接続されている。また、信号線駆動用IC112からは出力ラインD1, D2, …D $x$ （以下、適宜に出力ラインDという）が配線され、1つの出力ラインDが隣接する2つのASWのソース電極と共通に接続されている。すなわち、1つの出力ラインDについて2つのASWが一对で配置され、各ASWのソース電極は1つの出力ラインDに共通に接続され、またドレイン電極は対応する信号線Sにそれぞれ接続されている。さらに、信号線駆動用IC112からはアナログスイッチ制御信号線ASWL1, ASWL2（以下、適宜にASWL又はアナログスイッチ制御信号線ASWLという）が配線され、ASW1, ASW2, ASW3, ASW4, …ASW $n-1$ , ASW $n$ のゲート電極と1つおきに共通に接続されている。

### 【0024】

本実施の形態におけるASWは $n$ 型のTFTで構成されているため、例えばアナログスイッチ制御信号線ASWL1にHigh電位のアナログスイッチ制御信号ASW1Uが供給されると、ASW2, ASW4, …ASW $n$ がオンして、出力ラインD1, D2, …D $x$ に出力されたデータ信号が信号線S2, S4, …S $n$ に供給される。同様に、アナログスイッチ制御信号線ASWL2にHigh電位のアナログスイッチ制御信号ASW2Uが供給されると、ASW1, ASW3, …ASW $n-1$ がオンして、出力ラインD1, D2, …D $x$ に出力されたデータ信号が信号線S1, S3, …S $n-1$ に供給される。本例では、1水平走査期間内に2回のデータ書き込み期間が設けられており、例えば1回目のデータ書き込み期間ではアナログスイッチ制御信号線ASWL1にHigh電位のアナログ

スイッチ制御信号 A S W 2 U が供給され、また 2 回目のデータ書き込み期間ではアナログスイッチ制御信号線 A S W L 2 に H i g h 電位のアナログスイッチ制御信号 A S W 2 U が供給されることにより、1 水平走査期間で 1 水平ライン分のデータ信号の書き込みが完了する。このような駆動方式は信号線選択方式と呼ばれ、外部からアレイ基板 100 に接続する出力ライン D の実装本数を削減することができる。

#### 【0025】

図 1 において、A S W 1, A S W 2, A S W 3, A S W 4, … A S W n-1, A S W n のゲート電極と、アナログスイッチ制御信号線 A S W L 1, A S W L 2 との間は、メタルパターン P 1, P 2, P 3, P 4, … P n-1, P n (以下、適宜にメタルパターン P という) により接続されている。本実施の形態において、各メタルパターン P はアナログスイッチ制御信号線 A S W L 1 及び A S W L 2 とそれぞれ平面的に重畳する同一形状のパターンで形成され、1 つおきに同じアナログスイッチ制御信号線 A S W L と接続されている。メタルパターン P 1, P 2, P 3, P 4, … P n-1, P n とアナログスイッチ制御信号線 A S W L 1, A S W L 2 との間は、コンタクトホール C 1, C 2, C 3, C 4, … C n-1, C n (以下、適宜にコンタクトホール C という) により電氣的に接続されている。メタルパターン P とアナログスイッチ制御信号線 A S W L は、図示しない絶縁層を介して積層されており、この絶縁層に形成されるコンタクトホール C により、所定のアナログスイッチ制御信号線 A S W L とのみ電氣的な導通を得ている。

#### 【0026】

上記構成によれば、総てのメタルパターン P がアナログスイッチ制御信号線 A S W L と平面的に重畳する同一形状のパターンで形成されているため、メタルパターン P の面積が同一となり、それぞれの寄生容量もほぼ均一となる。

#### 【0027】

図 3 は、従来例における信号線切替回路の回路構成図であり、図 1 と同等部分を同一符号で示している。図 3 に示す電極構成では、アナログスイッチ制御信号線 A S W L 1, A S W L 2 と各ゲート電極までの長さが左右で異なるため、メタルパターンの面積にも差があり、この結果、寄生容量が不均一なものとなってい

る。これに対して本実施の形態による電極構成では、総てのASWにおいて寄生容量がほぼ均一となるため、隣接する画素におけるデータ信号の充電時間もほぼ等しくなり、表示ムラを解消して良好な表示特性を得ることができる。

#### 【0028】

また、図1に示す電極構成では、同一形状のメタルパターンが連続して配置されることになるため、長さの違いを見つけやすく、目視によるパターン異常を容易に発見することができる。これによれば、パターン異常の早期発見が可能となるため、工程歩留まりの向上を図ることができる。

#### 【0029】

さらに、メタルパターンPとアナログスイッチ制御信号線ASWLの電気的な接続は、コンタクトホールを形成する位置により適宜に設定することができるため、メタルパターンPとアナログスイッチ制御信号線ASWLとの接続を変える場合は、コンタクトホール形成レイヤだけを変更すればよく、メタルのパターンを変更する必要がないため、複数のマスクを変更する必要もなく、設計変更にかかるコスト増を少なくすることができる。このため、接続形態の異なる他の駆動方式への変更にも柔軟に対応できるようになり、回路設計の自由度を広げることが可能となる。

#### 【0030】

本実施の形態では、信号線駆動用IC112から取り出した1つの出力ラインを2つのASWで分岐して、それぞれ2本の信号線に接続した構成について説明したが、本発明はこれに限定されるものではなく、1つの出力ラインをn（n：2以上の整数）個のASWで分岐して、それぞれn本の信号線に接続した構成とすることができる。

#### 【0031】

また、本実施の形態では、表示エリア101を4つのブロックに分割して、それぞれのブロック毎に信号線駆動用IC112と信号線切替回路113を配置した例について説明したが、本発明はこれに限定されるものではなく、表示エリア101の分割数はさらに多くてもよいし、また単一であってもよい。

#### 【0032】

**【発明の効果】**

以上説明したように、本発明に係わる液晶表示装置によれば、寄生容量の不均衡による表示ムラを解消することができるため、良好な表示特性を得ることができる。

**【0033】**

また、メタルパターンの長さの違いを見つけやすく、目視によるパターン異常を容易に発見することができるため、パターン異常の早期発見による工程歩留まりの向上を図ることができる。

**【0034】**

さらには、コンタクトホール形成レイヤを変更することにより、メタルパターンとアナログスイッチ制御信号線との接続を変更できるため、設計変更にかかるコスト増が少なく、接続形態の異なる他の駆動方式への変更にも柔軟に対応することができる。

**【図面の簡単な説明】****【図1】**

図2に示す信号線切替回路の回路構成図。

**【図2】**

実施の形態に係わる液晶表示装置の回路構成図。

**【図3】**

従来例における信号線切替回路の回路構成図。

**【符号の説明】**

- 100…アレイ基板
- 101…表示エリア
- 102…画素トランジスタ
- 103…画素電極
- 104…共通電極
- 105…液晶層
- 106…補助容量
- 111…信号線駆動回路部

1 1 2 …信号線駆動用 I C

1 1 3 …信号線切替回路

1 1 5 …走査線駆動回路

1 2 0 - 1 ~ 1 2 0 - 4 …T C P

2 0 0 …外部駆動回路

2 0 1 …コントロール I C

A S W 1 ~ A S W n …アナログスイッチ（スイッチ手段）

A S W L 1 , A S W L 2 …アナログスイッチ制御信号線（スイッチ制御信号線

)

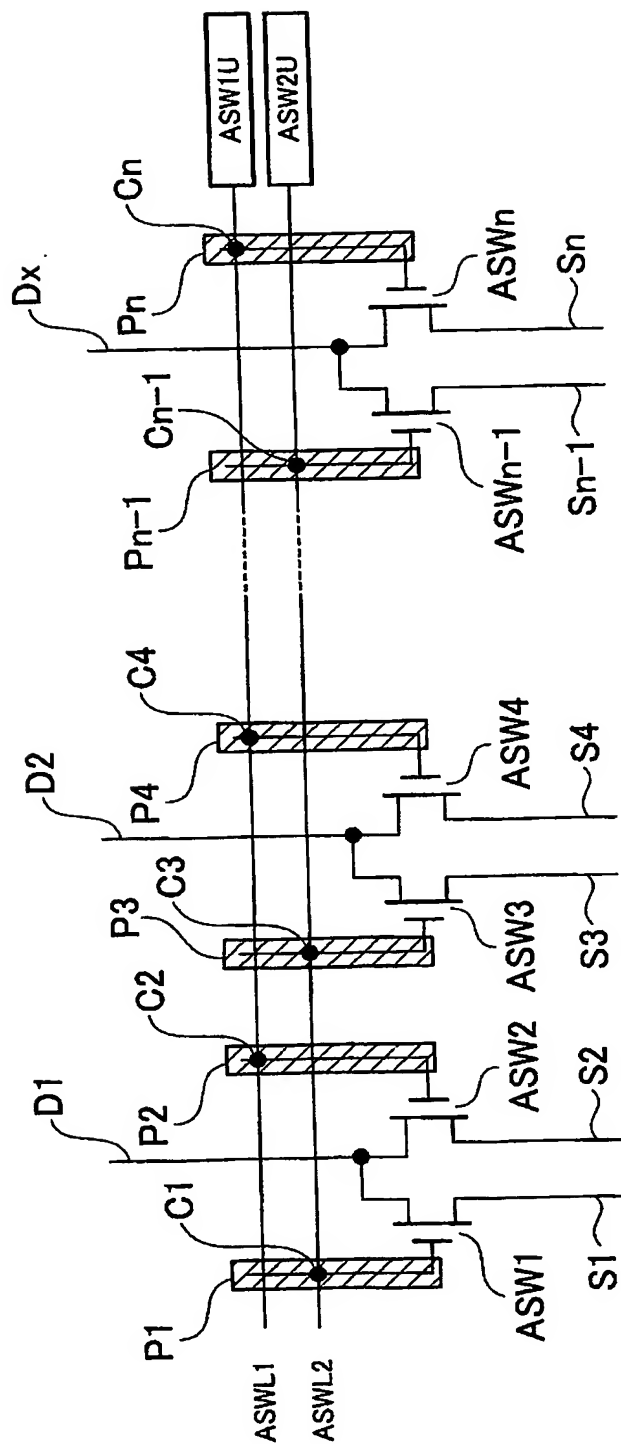
P 1 ~ P n …メタルパターン（電極パターン）

D 1 ~ D x …出力ライン

【書類名】

図面

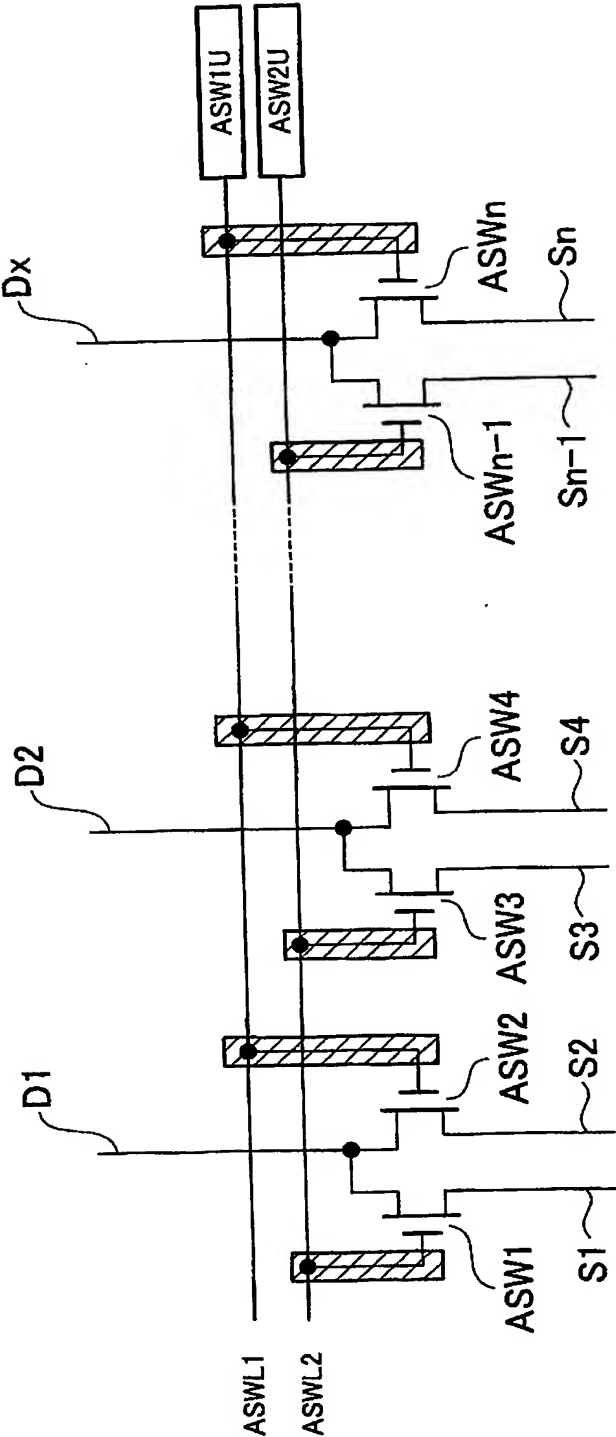
【図1】







【図 3】



【書類名】 要約書

【要約】

【課題】 信号線選択方式の液晶表示装置において、寄生容量の不均一による表示ムラを解消する。

【解決手段】 A SWのゲート電極とアナログスイッチ制御信号線A SWLとの間を接続するメタルパターンPを、アナログスイッチ制御信号線A SWL 1及びA SWL 2とそれぞれ平面的に重畳する同一形状のパターンで形成し、メタルパターンPの面積が同一となるようにして、寄生容量を均一化した。

【選択図】 図1

特願 2003-155018

出願人履歴情報

識別番号

[302020207]

1. 変更年月日

2002年 4月 5日

[変更理由]

新規登録

住所

東京都港区港南4-1-8

氏名

東芝松下ディスプレイテクノロジー株式会社